

基于以顶层ITO为像素电极设计的产品工艺优化

吕艳明, 操彬彬, 栗芳芳, 安晖, 叶成枝, 李法杰, 杨增乾, 彭俊林, 冯耀耀, 刘增利, 陆相晚, 李恒滨

引用本文:

吕艳明, 操彬彬, 栗芳芳, 等. 基于以顶层ITO为像素电极设计的产品工艺优化[J]. 液晶与显示, 2020, 35(3): 219–226.

LYU Yan-ming, CAO Bin-bin, LI Fang-fang, et al. Process optimization based on products of pixel top design[J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(3): 219–226.

在线阅读 View online: <https://doi.org/10.3788/YJYXS20203503.0219>

您可能感兴趣的其他文章

Articles you may be interested in

LTPS TFT层间绝缘层过孔刻蚀的工艺优化

Optimization of via etching process of LTPS TFT interlayer dielectric

液晶与显示. 2016, 31(4): 363–369 <https://doi.org/10.3788/YJYXS20163104.0363>

垂直线不良分析与改善

Analysis and improvement of vertical line mura

液晶与显示. 2017, 32(5): 352–356 <https://doi.org/10.3788/YJYXS20173205.0352>

TFT 栅极绝缘层和非晶硅膜层的 ITO 污染对电学特性影响的研究

Influence of ITO contamination of TFT gate insulation & a-Si layers on electrical characteristics

液晶与显示. 2015(6): 930–936 <https://doi.org/10.3788/YJYXS20153006.0930>

TFT-LCD公共电压耦合畸变的影响因素及与线残像关系的研究

Influencing factors of TFT-LCD common voltage on the coupling of signal voltage and the relationship with line image sticking

液晶与显示. 2018, 33(4): 277–284 <https://doi.org/10.3788/YJYXS20183304.0277>

ITO退火工艺对HADS型TFT-LCD透过率的影响

Influence of ITO anneal on the transmittance property of HADS TFT-LCD

液晶与显示. 2019, 34(5): 482–488 <https://doi.org/10.3788/YJYXS20193405.0482>

文章编号:1007-2780(2020)03-0219-08

基于以顶层 ITO 为像素电极设计的产品工艺优化

吕艳明*, 操彬彬, 栗芳芳, 安 晖, 叶成枝, 李法杰,
杨增乾, 彭俊林, 冯耀耀, 刘增利, 陆相晚, 李恒滨
(合肥鑫晟光电科技有限公司, 安徽 合肥 230001)

摘要: HADS 产品通常使用有机膜材料来减小寄生电容, 以实现高像素密度(PPI)显示。本文对如何改善以顶层 ITO 为像素电极(Pixel Top)设计的有机膜产品的公共电极 ITO 与数据线间短路(DCS)不良进行了工艺优化研究。首先, 通过显微镜、聚焦离子束对 HADS 有机膜产品 DCS 不良发生机理进行了分析, 进而提出了第一钝化绝缘层刻蚀工序省略、保留第一钝化绝缘层至公共电极与像素电极间第二钝化绝缘层刻蚀时进行“一步刻蚀”的工艺流程变更改善方案。针对新工艺流程验证中 TFT 栅极过孔处第一钝化绝缘层出现的底切不良, 通过调整等离子增强化学气相沉积成膜参数改善第一钝化绝缘层膜质, 并选取最优成膜条件进一步调整干法刻蚀参数改善刻蚀形貌, 获得了优良的栅极过孔刻蚀坡度角。优化后的“一步刻蚀”工艺进行的 TFT 基板, 其栅极过孔第一钝化绝缘层坡度角小于 40°, 与栅极绝缘层间无明显刻蚀台阶。量产验证有机膜缺失导致的 DCS 发生率降为 0。通过优化工艺, 在降低产品不良率的同时还减少了工艺步骤, 提升了产能。

关键词: 高开口率高级超维场转换技术; 有机膜; 等离子增强化学气相沉积; 干法刻蚀

中图分类号: TN141.9 **文献标识码:** A **doi:** 10.3788/YJYXS20203503.0219

Process optimization based on products of pixel top design

LYU Yan-ming*, CAO Bin-bin, LI Fang-fang, AN Hui, YE Cheng-zhi,
LI Fa-jie, Yang Zeng-qian, PENG Jun-lin, FENG Yao-yao, Liu Zeng-li, LU Xiang-wan, LI Heng-bin

(Hefei Xinsheng Optoelectronics Technology Co., Ltd., Hefei 230001, China)

Abstract: HADS products typically use organic film materials to reduce parasitic capacitance for high PPI display. In this paper, the process optimization of the common electrode ITO and the data line short-circuit defect of the organic film product designed by the top ITO for the pixel electrode (Pixel Top) is improved. Firstly, the mechanism of DCS failure of HADS organic film products is analyzed by microscope and Focused Ion beam. A ‘one-step etch’ process variation improvement scheme which skips the PVX1 etch step and retains PVX1 until PVX2 etch is proposed. Aiming at the problem of PVX1 layer undercut of TFT gate *via* hole in the new process verification experiment, the PVX1 film quality is improved by adjusting the PECVD film formation parameters. The optimum film formation condition is selected to further adjust the dry etch process, and an excellent slope angle is obtained. On the TFT substrate which uses the optimized one-step etching process, the PVX1 slope angle of gate *via* hole is less than 40° and there is no significant step between the PVX1 and the GI layer, and

收稿日期: 2019-08-30; 修订日期: 2019-11-15.

* 通信联系人, E-mail: lvyanning@boe.com.cn

there is no obvious step between the PVX1 and the GI layer. The mass production rate of the DCS caused by the absence of the organic film is reduced to zero. By optimizing the process, the product defect rate is reduced while the process steps are reduced and the production capacity is increased.

Key words: HADS; organic film; PECVD; dry etch

1 引言

高开口率高级超维场转换技术(HADS)薄膜晶体管(TFT)中使用的有机膜绝缘层膜厚可达数微米,并且介电常数低、平坦度高^[1-2],极大地增加了信号线(Data)与公共电极(Common)、像素电极(Pixel)之间的间距,有利于减少寄生电容、降低功耗、增大开口率。

负性有机膜因感光性好、显影速率高、产能高、工艺步骤少等优点,在 TFT-LCD 行业中应用最为广泛。但负性有机膜由于需要大面积曝光交联,因此更容易受光路中的颗粒物影响,造成光刻后图案厚度偏薄甚至缺失。对于顶层氧化铟锡(ITO)为像素电极(Pixel Top)、首层 ITO 为整面覆盖的公共电极的 TFT 而言,若信号线上方的有机膜厚度偏薄将会拉近信号线与公共电极之间的距离,严重时将导致两者之间的短路(Data-Common Short,DCS),造成暗线不良。在此背景

下,本文通过工艺流程变更从源头上规避了上述形式 DCS 不良的发生,有效提升了良率,节约了生产成本。

2 有机膜产品 DCS 不良介绍

2.1 DCS 不良现象

图 1(a)为 TFT 阵列工艺终检工序电学测试检出的 DCS 不良显微镜图,图中可见不良位置存在膜层异常。图 1(b)为不良位置聚焦离子束俯视图,图中可见不良位置存在明显的膜层缺失产生的凹坑。进一步用离子束按图 1(b)标示位置对凹坑处切割,从图 1(c)切割后截面图可以清晰地看出有机膜和第一钝化绝缘层(PVX1)缺失,但未见膜层熔融痕迹,可排除静电击穿。显然绝缘层的缺失造成了信号线与公共电极 ITO 之间的直接导通,导致该处信号线信号被公共电极信号拉动,从而被电学检测检出 DCS。

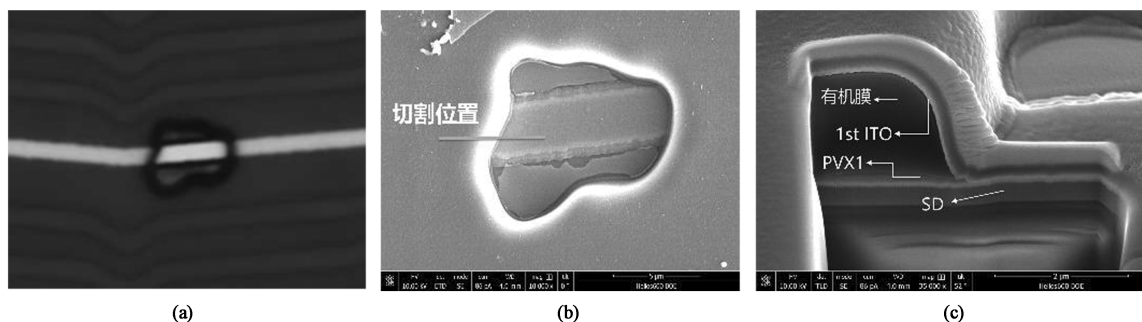


图 1 DCS 不良。(a)显微镜图;(b)聚焦离子束俯视图;(c)聚焦离子束截面图。

Fig.1 DCS defect. (a)Microscope image;(b)FIB top view;(c)FIB cross section view.

2.2 DCS 不良机理分析

从图 1(c)中可以看出 DCS 位置的公共电极 ITO 上方各膜层以及下方的信号线膜层均正常,因此不良产生工序应为有机膜至 PVX1 之间。通常有机膜厚度相对较厚($2\sim 3\ \mu\text{m}$),有机膜涂覆时烘烤的热交联效应及曝光时的射线衍射易导致开孔区底部形成残膜,故常利用干法刻蚀进行表面

处理(PVX1 刻蚀):一方面利用干法刻蚀的物理轰击、化学氧化作用清除残膜;另一方面对于首层 ITO 为像素电极设计的 HADS 产品,可利用有机膜做掩膜同步形成像素 ITO 与 TFT 信号线源/漏极导通的开孔。一般情况下,PVX1 刻蚀对有机膜厚度的损耗仅为 $0.2\sim 0.3\ \mu\text{m}$,显然不足以将有机膜刻穿。因此,图 1 中有机膜的缺失应主要与其自

身制程的异常相关,其中最常见的情況为制程中颗粒导致的负性光阻异常。如图2所示,曝光过程中异物附着在有机膜表面,产生类似光罩(Mask)的遮光效应,遮光严重情况下会导致显影时有机膜的

缺失。进一步地,PVX1刻蚀掩膜的缺失将导致PVX1膜层的缺失,最终导致顶层ITO为像素电极设计的HADS产品的公共电极ITO与信号线在异常区域短接形成DCS不良。

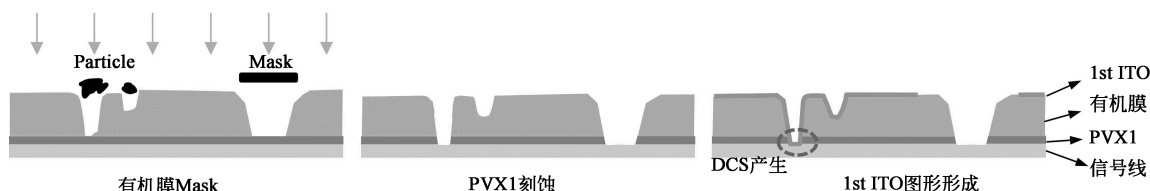


图2 DCS不良发生机理

Fig.2 Mechanism of DCS

3 DCS不良改善方案与实验验证

鉴于行业内 TFT 制程中微小颗粒异物无法做到 100%管控规避,通过提高设备内的洁净度管控来改善有机膜异常导致的 DCS 不良效果有限。对于顶层 ITO 为像素电极的产品而言,显示区内公共电极 ITO 无须与源/漏极直接导通,故可考虑将 PVX1 刻蚀工序省略。基于上述 DCS 不良发生机理,即使有机膜发生缺失,PVX1 的存在仍可有效对公共电极 ITO 与信号线起到绝缘作用。

由此可以建立如图 3(b)所示新的 TFT 制作

工艺流程,与图 3(a)所示现有工艺流程对比:(1) PVX1 刻蚀省略,即新工艺流程中公共电极 ITO 沉积前 PVX1 完全保留;(2)显示区和周边过孔全部在第二钝化绝缘层(PVX2)刻蚀时形成,即 PVX2、PVX1、栅极绝缘层(GI)3 层氮化硅同步刻蚀。最终如图 4 所示,有效避免了有机膜异常导致的公共电极 ITO 与信号线短接现象。

3.1 “一步刻蚀”工艺初探

为验证新工艺流程对 DCS 改善效果,在某高分辨率以顶层 ITO 为像素电极设计的 HADS 有机膜产品上进行实验。按照图 3(b)所示新工艺流程进行全膜层 TFT 基板制作,制作完成后对 TFT 基板进行电学检测,确认 DCS 发生率。测

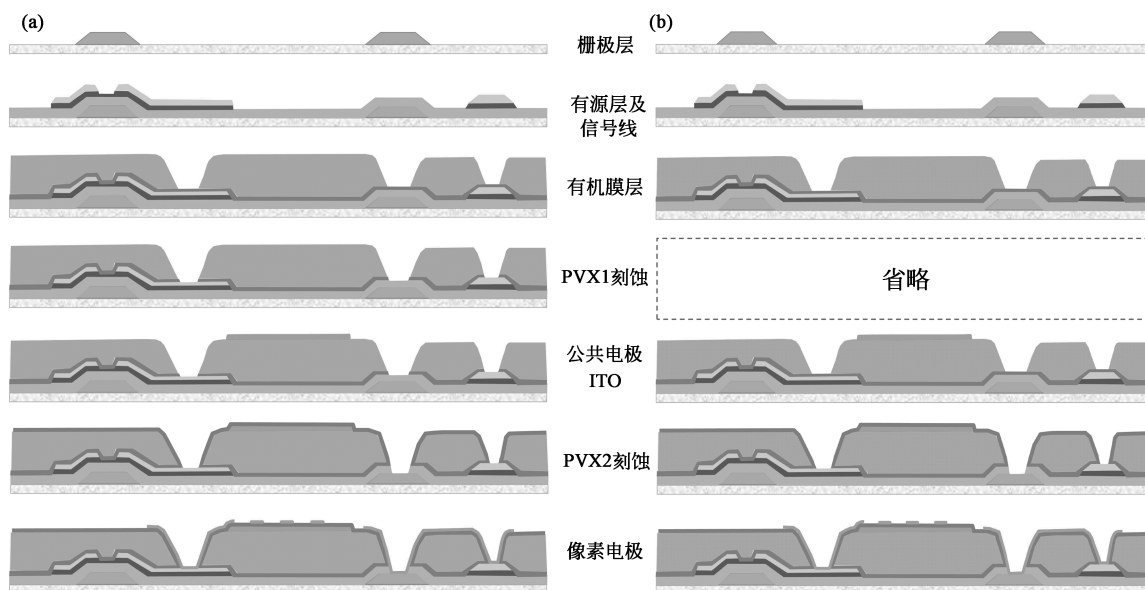


图3 工艺流程变更。(a)原工艺流程;(b)新工艺流程。

Fig.3 Process flow change.(a)Original process flow;(b)New process flow.

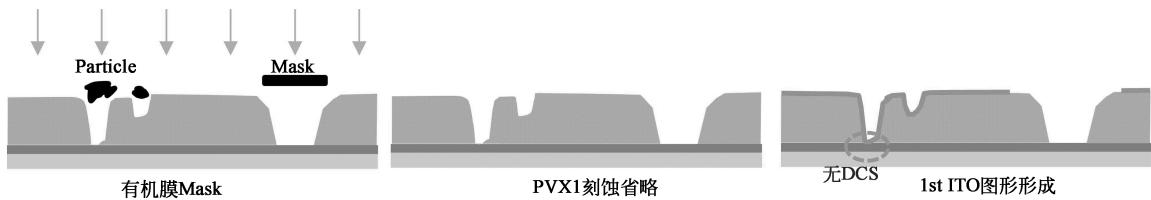


图 4 DCS 改善原理

Fig.4 Improvement principle of DCS

试时输出界面基板缺陷图出现大量黄斑、黄线,报出大面积不良,但显微镜确认未发现明显异常。通过扫描电子显微镜进一步确认周边跨接过孔截面,结果如图 5 所示,连通栅极的跨接过孔在 PVX1 层存在非常严重的底切(Undercut)现象,导致 ITO 在 PVX1 处断裂。信号断路后造成大面积不良发生,无法甄别 DCS 是否得到有效改善。

鉴于 PVX1 处存在底切现象,推测 PVX1 膜质相对偏软。进一步地对单层膜进行刻蚀率测试发现 PVX1 刻蚀率最大(见图 6 标示),即 PVX1 膜质最软,与此前分析相符。图 6 表示了 PVX1 层底切的发生机理:干法刻蚀同时存在物理性各向异性刻蚀和化学性各向同性刻蚀。物理性刻蚀主要通过离子轰击,垂直于基板方向进行刻蚀,对 PR 胶形貌依赖性大;而化学性刻蚀则对被刻蚀

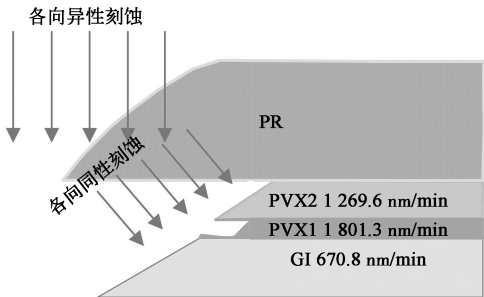


图 6 PVX1 底切形成机理

Fig.6 Formation mechanism of PVX1 undercut

膜层的膜质依赖性大,刻蚀效率高,膜层间刻蚀率不匹配情况下容易在膜质较软膜层处产生底切现象。

3.2 刻蚀率匹配调整

PVX1 位置膜层出现底切的根本原因在于 PVX1 刻蚀率大于 PVX2 刻蚀率,要解决底切问题首先需要进行膜质变更以实现膜层刻蚀率匹配,即要保证膜层刻蚀率满足 $PVX2 > PVX1 > GI$ 。在 3 种氮化硅膜层中,PVX1 作为有机膜第一钝化层,功能性要求低且厚度最薄,膜质变更品质风险最小,因此选择调整 PVX1 膜质较为合适。为此按表 1 所列成膜条件进行 PVX1 膜质变更的 4 因子 2 水平实验设计,对各条件对应的 PVX1 单膜刻蚀率进行测量,测量结果如表 1 所示。

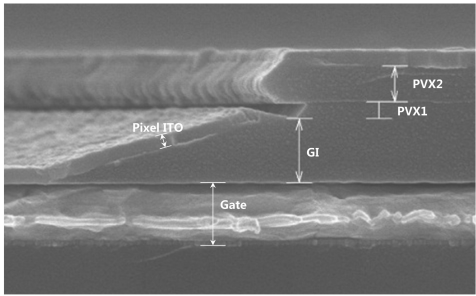


图 5 TFT 栅极过孔截面

Fig.5 Cross section of TFT

表 1 PVX1 等离子增强化学气相沉积成膜工艺优化实验设计

Tab.1 DOE of PECVD process optimization

实验条件	射频功率/W	压力/Pa	电极间距/ μm	$\text{SiH}_4 : \text{NH}_3$ 流量比	刻蚀率 / $(\text{nm} \cdot \text{min}^{-1})$
改善前	18 000	200	28	0.23	1 801.3
条件 1	—	163	23	—	1 047.2
条件 2	—	163	—	0.32	1 341.0
条件 3	—	—	23	0.32	1 261.7

续 表

实验条件	射频功率/W	压力/Pa	电极间距/ μm	$\text{SiH}_4 : \text{NH}_3$ 流量比	刻蚀率/ $(\text{nm} \cdot \text{min}^{-1})$
条件 4	20 000	163	23	0.32	826.0
条件 5	20 000	163	—	—	1 031.5
条件 6	20 000	—	23	—	1 054.8
条件 7	20 000	—	—	0.32	1 315.4

(“—”表示同改善前条件)

从图 7 刻蚀率测试结果的主效应图可以看出,在选定的实验条件下,增大成膜射频功率、降低成膜压力、减小电极间距以及增大 $\text{SiH}_4 : \text{NH}_3$

气体流量比均可降低膜层刻蚀率;标准化效应正态图显示射频功率、压力、电极间距对刻蚀率影响显著,气体流量比影响不显著。

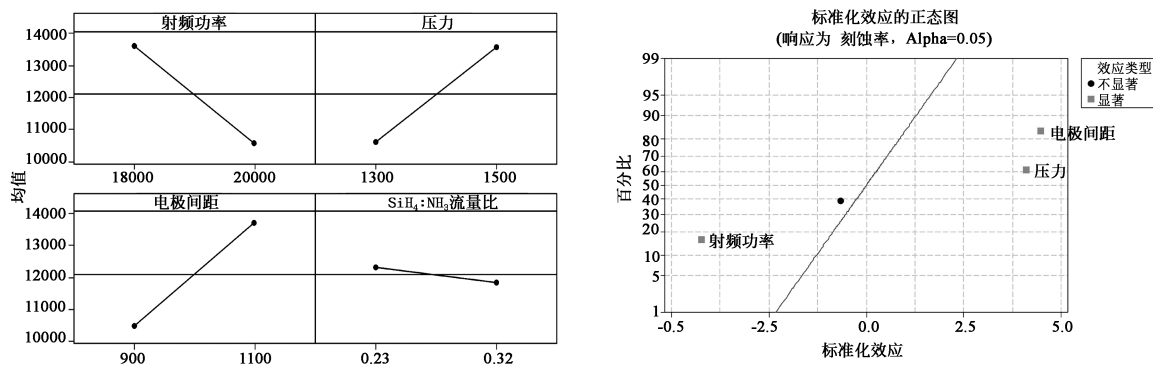


图 7 PECVD 成膜参数对刻蚀率影响分析。(a)主效应图;(b)标准化效应正态图。

Fig.7 Effect of PECVD parameters on etch rate.(a)Main effects plot;(b)Normal probability plot of the effects.

各成膜条件对膜质影响机理如下:增大成膜射频功率可以提高反应气体激活效率及沉积速率,增加等离子体密度,可增加薄膜中 Si—N 键,减少 Si—H 键、N—H 键,使薄膜无序程度降低,提高薄膜表面均匀性和有序性^[3],提高薄膜的致密性^[4]和膜层硬度。降低反应腔体压力,可使反应物自由电子的平均自由程变长,在高频电场中碰撞加速获得更多能量^[5],提高激活反应气体的能力,可减少成膜成分中 Si—H、N—H 键及杂质成分,虽然反应气体分解得到的活性等离子体向基底运动动能变大,但单位时间内到达基板表面的粒子数目变少,沉积速率会下降,这也利于氮化硅薄膜的整齐均匀生长,增大氮化硅密度^[6-10]。电极间距过大会影响薄膜沉积速率,造成颗粒性粉尘问题;而电极间距过小会使离子反应速度过快,薄膜沉积质量下降。在适当区间内减小电极间距虽然沉积速率会有所下降,但会使等离子体密度提高, Si—N 键结合增强,可以得到相对较好的成膜质量和良好的薄膜平坦度。当 NH_3 流量较大时,等离子增强化学气相

沉积成膜物质中 Si—H 键、N—H 键含量高,氮化硅膜质会较疏松^[11],而通过减少 NH_3 流量即增加 $\text{SiH}_4 : \text{NH}_3$ 流量比可减少 Si—H 成键,成膜成分倾向于 Si_3N_4 原子计量比,从而提高膜层硬度。

从表 1 中各成膜条件对应的 PVX1 刻蚀率结果可以看出,成膜条件 2、7 刻蚀率较大,不满足刻蚀率要求,成膜条件 1、3、4、5、6 满足刻蚀率匹配要求。但图 8 扫描电子显微镜观察到的使用条件 1、3、4、5、6 成膜的样品,栅极过孔刻蚀截面有明显差异。其中条件 3 的刻蚀后 PVX1 层坡度角超过 80° , ITO 镀膜断线风险较大;条件 1、5、6 PVX1 层坡度角差异不大,均在 66° 左右;条件 4 坡度角为 60.3° ,相对最好。

以上虽然通过等离子增强化学气相沉积成膜优化已经得到了较好的成膜条件, PVX1 层底切有明显改善,但从图 8 中可以看到最优条件 4 的 PVX1 刻蚀台阶仍比较明显,在 PVX1、PVX2 交界面可观察到轻微的尖角。这种情况可以通过干法刻蚀调整进一步优化。

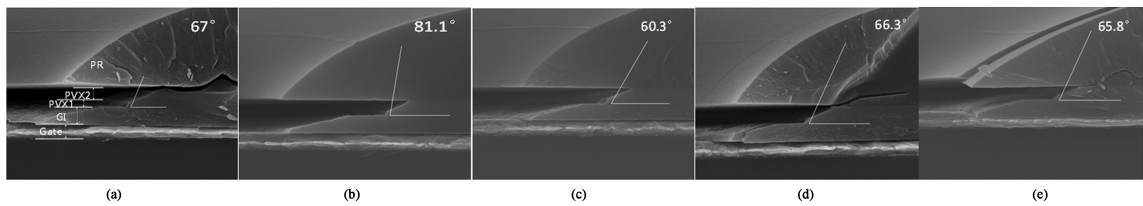


图 8 栅极过孔扫描电子显微镜图。(a)条件 1;(b)条件 3;(c)条件 4;(d)条件 5;(e)条件 6。
Fig.8 SEM images of *via* hole.(a)recipe 1;(b)recipe 3;(c)recipe 4;(d)recipe 5;(e)recipe 6.

3.3 PVX1 刻蚀坡度角改善

为进一步改善膜层界面的刻蚀台阶,减缓刻蚀坡度角,在成膜条件 4 基础上按表 2 所示工艺条件使用增强型等离子体耦合干法刻蚀机进行干

法刻蚀工艺优化实验,其中条件 A 为理论恶化条件(压力降低,物理刻蚀加强)作为参照,各实验条件对应的栅极过孔扫描电子显微镜图如图 9 所示。

表 2 干法刻蚀工艺优化
Tab.2 Dry etch process optimization

实验条件	源极射频/偏置射频功率/W	反应压力/Pa
改善前	8 000/5 000	1.60
条件 A	—	1.33
条件 B	—	1.73
条件 C	8 000/4 000	—
条件 D	8 000/4 000	1.73

(“—”表示同改善前条件)

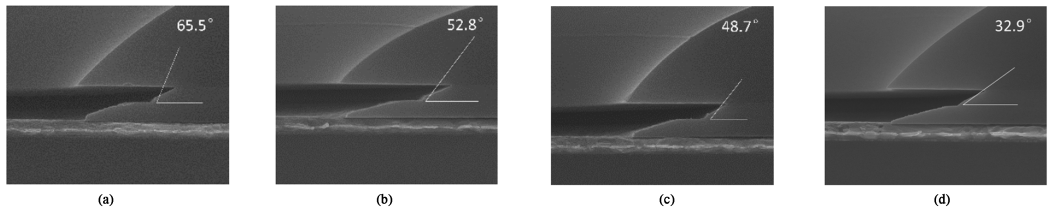


图 9 不同刻蚀条件栅极过孔扫描电子显微镜图。(a)条件 A;(b)条件 B;(c)条件 C;(d)条件 D。
Fig.9 SEM images of gate *via* hole.(a)Recipe A ;(b)Recipe B ;(c)Recipe C;(d)Recipe D.

增强型等离子体耦合干法刻蚀设备的主要特征是其下部电极接有 13.56 MHz 源极射频和 3.2 MHz 的偏置射频。其中源极射频频率相对高,主要用来解离反应气体,生成自由基和离子。带电粒子在源极射频产生的电场中运行距离短,对基板轰击作用小,主要依靠自由基与基板表面的薄膜发生反应进行化学性刻蚀。而偏置射频频率相对较低,波长长,带电粒子在偏置射频产生的电场中运行距离长,对基板表面的离子轰击效果较大,物理性刻蚀效果明显^[12]。

干法刻蚀反应腔室的压力变化会直接影响等离子体密度和化学反应方向。压力升高反应腔室内化学活性的自由基和离子浓度增加,化学刻蚀作用增强,刻蚀坡度角会有降低趋势^[13]。而压力降低时,离子之间、离子与原子之间碰撞减少且自由基浓度降低,横向刻蚀速率降低,离子轰击基板表面的物理刻蚀作用增强。

从图 9 中过孔扫描电子显微镜图像和 PVX1 层坡度角可以看出,条件 A 刻蚀压力降低,由于物理刻蚀增强,刻蚀坡度角恶化变大。而刻蚀压力变

大、偏置射频功率降低的化学刻蚀增强条件 B~D 的刻蚀台阶均较表 1 中条件 4 对应的量产刻蚀条件的坡度角有所改善,其中压力和偏置射频功率变更组合条件 D 与仅变更压力或仅变更偏置射频功率的条件 B、C 相比,不仅 PVX1 层坡度角最小,而且 PVX1 层刻蚀台阶最短,几乎观察不到膜层界面尖角。条件 A~C 的栅极过孔扫描电子显微镜图像均能看到 3 种不同氮化硅绝缘膜层坡度角不同形成的 3 个斜坡,而条件 D 的 PVX1、PVX2 层的坡度角差异较小,过孔截面仅能看到两个膜层斜坡且膜层间台阶过渡自然平缓。

综合以上实验结果,使用成膜条件 4 进行

PVX1 层成膜并采用刻蚀条件 D 进行干法刻蚀可以解决“一步刻蚀”工艺流程的栅极过孔 PVX1 膜层底切问题,获得良好的刻蚀坡度角。

4 量产投入验证

对采用成膜条件 4 搭配刻蚀条件 D 的“一步刻蚀”工艺条件进行生产投入验证,“一步刻蚀”条件与量产条件各投入 120 张玻璃基板加工至 TFT 完成,进行阵列电学检试并通过阵列维修工序全抓图判定,统计 DCS 不良发生率,结果如图 10 所示。

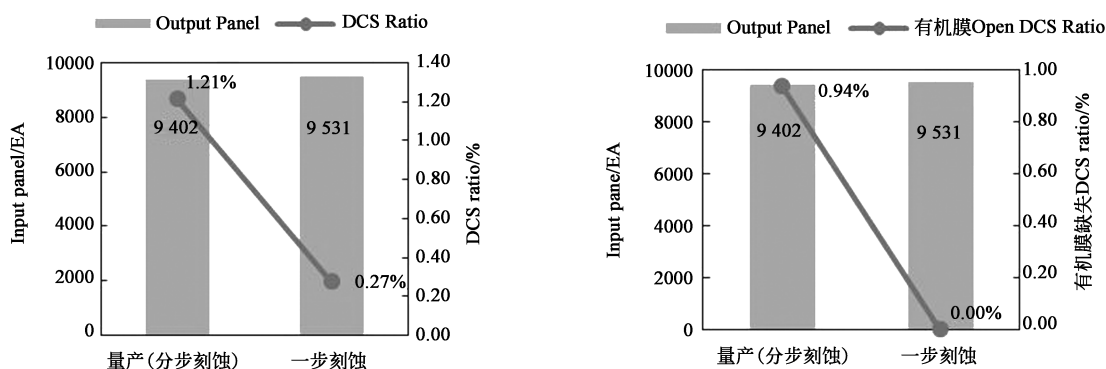


图 10 DCS 改善前后良率对比。(a)DCS 改善效果;(b)有机膜缺失型 DCS 改善效果。

Fig.10 Comparison of production yield.(a)All DCS;(b)DCS of organic film open type.

从图 10 可以看出,采用优化后的“一步刻蚀”工艺,总 DCS 不良率较同批次量产条件下降了 0.9%,而有机膜缺失型的 DCS 不良发生率降为 0。说明优化后的新工艺流程可彻底改善顶像素电极设计 HADS 产品有机膜缺失型 DCS 不良。

5 结 论

本文从 HADS 有机膜产品 DCS 不良产生的机理入手,提出了 PVX1 刻蚀工序省略,在 PVX2 刻蚀时进行外围栅极跨接过孔处多层氮化硅“一步刻蚀”的工艺方案。通过优化 PVX1 成膜工艺

进行刻蚀率匹配消除跨接过孔 PVX1 层底切不良,并在优化后的 PVX1 膜层基础上调整干法刻蚀工艺进一步改善过孔刻蚀坡度角和刻蚀台阶,使得过孔处膜层间台阶过渡自然平缓,实现“一步刻蚀”工艺的导入,HADS 有机膜产品特有的有机膜缺失类型 DCS 不良得到彻底解决。新的工艺流程不仅提升了产品良率和产品在市场中的竞争力,还缩减了工艺步骤,大幅提升了产能,收到了良好的经济效益。实验中通过工艺流程变更进行不良改善的思路,以及等离子增强化学气相沉积、干法刻蚀工艺优化方法,也为新产品、新工艺的开发提供了指导和借鉴。

参 考 文 献:

- [1] 李尧.新型聚合物绝缘材料的设计、制备及其在有机薄膜晶体管上的应用研究[D].长春:吉林大学,2016:15-23.
LI Y. Study on the design, preparation and performance of novel dielectric polymers for organic thin film Transistors [D]. Changchun: Jilin University, 2016: 15-23. (in Chinese)

- [2] TRANSISTOR T F, LAI H C, TZENG B J, *et al.* Ultra-flexible amorphous indium-gallium-zinc oxide (a-IGZO) [J]. *SID Symposium Digest of Technical Papers*, 2012, 43(1): 764-767.
- [3] 乌仁图雅, 周炳卿, 高爱明, 等. 射频功率对富硅-氮化硅薄膜结构及性质影响 [J]. *人工晶体学报*, 2016, 45(9): 2322-2325.
- WUREN T Y, ZHOU B Q, GAO A M, *et al.* Effect of radio-frequency power on bond structures and properties of silicon-rich silicon nitride thin films [J]. *Journal of Synthetic Crystals*, 2016, 45(9): 2322-2325. (in Chinese)
- [4] HUANG H, WINCHESTER K J, SUVOROVA A, *et al.* Effect of deposition conditions on mechanical properties of low-temperature PECVD silicon nitride films [J]. *Materials Science and Engineering: A*, 2006, 435-436: 453-459.
- [5] 欧衍聪. PECVD 制备多层氮化硅减反膜的工艺研究 [D]. 长沙: 长沙理工大学, 2012.
- OU Y C. Research on preparing of multi-layer nitride silicon antireflection film by PECVD [D]. Changsha: Changsha University of Science & Technology, 2012. (in Chinese)
- [6] 张化福. TFT 栅绝缘层用氮化硅薄膜的研究 [D]. 成都: 电子科技大学, 2005.
- ZHANG H F. Study on silicon nitride thin films for TFT gate insulation [D]. Chengdu: University of Electronic Science and Technology of China, 2005. (in Chinese)
- [7] 刘昊轩. PECVD 制备光学薄膜均匀性控制技术研究 [D]. 西安: 西安工业大学, 2014.
- LIU H X. Control technology of uniformity of optical thin films deposited by PECVD [D]. Xi'an: Xi'an Technological University, 2014. (in Chinese)
- [8] 谢强, 闫闯, 朱阳阳, 等. 基于复合绝缘层 SiN_x/PMMA 的有机金属-绝缘层-半导体器件 [J]. *发光学报*, 2019, 40(6): 773-780.
- XIE Q, YAN C, ZHU Y Y, *et al.* Organic metal-insulator-semiconductor devices based on compound insulation layers of SiN_x/PMMA [J]. *Chinese Journal of Luminescence*, 2019, 40(6): 773-780. (in Chinese)
- [9] 郭永林, 梁续旭, 胡守成, 等. Al_2O_3 薄层修饰 SiN_x 绝缘层的 IGZO-TFTs 器件的性能研究 [J]. *发光学报*, 2015, 36(8): 947-952.
- GUO Y L, LIANG X X, HU S C, *et al.* Improvement of IGZO-TFTs performance with SiN_x gate insulator modified by Al_2O_3 film [J]. *Chinese Journal of Luminescence*, 2015, 36(8): 947-952. (in Chinese)
- [10] 林娟, 杨培志, 化麒麟. 富硅氮化硅薄膜的制备及其光学带隙研究 [J]. *发光学报*, 2012, (6): 596-600.
- LIN J, YANG P Z, HUA Q L. Preparation and optics band gap characterization of si-rich silicon nitride thin films [J]. *Chinese Journal of Luminescence*, 2012, (6): 596-600. (in Chinese)
- [11] 吴清鑫, 陈光红, 于映, 等. PECVD 法生长氮化硅工艺的研究 [J]. *功能材料*, 2007, 38(5): 703-705, 710.
- WU Q X, CHEN G H, YU Y, *et al.* The study on technology for the silicon nitride thin films by PECVD [J]. *Journal of Functional Materials*, 2007, 38(5): 703-705, 710. (in Chinese)
- [12] 白金超, 王静, 赵磊, 等. 氮化硅的 ECCP 刻蚀特性研究 [J]. *液晶与显示*, 2017, 32(7): 533-537.
- BAI J C, WANG J, ZHAO L, *et al.* Etching characteristics of silicon nitride by ECCP [J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, 32(7): 533-537. (in Chinese)
- [13] 姜晓辉, 田宗民, 李田生, 等. 栅绝缘层过孔的反应离子刻蚀研究 [J]. *真空科学与技术学报*, 2014, 34(3): 278-281.
- JIANG X H, TIAN Z M, LI T S, *et al.* Through holes etched with reactive ion in gate insulation layer [J]. *Chinese Journal of Vacuum Science and Technology*, 2014, 34(3): 278-281. (in Chinese)

作者简介:



吕艳明(1986—),男,内蒙古开鲁县人,学士,2009 年于安徽大学获得学士学位,主要从事液晶显示器 TFT 工艺相关的技术研发工作。E-mail:lvyanming@boe.com.cn